

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000025529 A  
(43)Date of publication of application: 06.05.2000

(21)Application number: 1019980042644  
(22)Date of filing: 13.10.1998

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: AHN, TAE HYEOK  
HWANG, YU SANG  
JU, BYEONG SEON  
KIM, HYEON U

(51)Int. Cl. H01L 21/316

---

(54) WHITE METAL-PLATINUM ETCHING METHOD BY MASK DIMENSION VARIATION

(57) Abstract:

PURPOSE: A semiconductor manufacturing method reduces a standardization of oxide film mask, performs a dry etching about a whiter metal-platinum electrode layer, and ensures the shortest distance between nodes in super-high integration DRAM.

CONSTITUTION: A method for manufacturing a semiconductor forms a conductive layer on a semiconductor substrate, forms adhesive layer on the conductive layer, forms a hard mask on the adhesive layer(14), deposits a photoresist (16) on the hard mask(15), forms a predetermined fine pattern to the photoresist, and etches the hard mask according to the fine pattern formed on the photoresist. The method reduces a dimension of the hard mask by isotropic-etching the hard mask finely patterned, etches the adhesive layer by using the hard mask, etches the white metal-platinum thin film(13) by using the reduced adhesive layer and the reduced hard mask as an etching mask, and removes the etching mask. Thereby, the method reduces a standardization of oxide film mask, performs a dry etching about a whiter metal-platinum electrode layer, ensures the shortest distance between nodes in super-high integration DRAM, and has a good insulation characteristic, and a low leakage current.

COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20040720)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

**BEST AVAILABLE COPY**

특 2000-0025529

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 21/316.

(11) 공개번호 특2000-0025529  
(43) 공개일자 2000년05월06일

(21) 출원번호	10-1998-0042644
(22) 출원일자	1998년10월13일
(71) 출원인	삼성전자 주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416
(72) 발명자	김현우 서울특별시 서초구 방배동 1008 소라아파트 나동202호 조병선 서울특별시 송파구 잠실 주공아파트 223-402 안태혁 경기도 용인시 기흥읍 신갈리 14 삼익아파트 102동 804호 황유상 경기도 용인시 수지구 풍덕천 삼익아파트 103-903
(74) 대리인	원태영

심사청구 : 없음

(54) 마스크 디펜션 변경에 의한 백금 식각 방법

요약

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 강유전체 전하 저장 캐패시터를 갖는 반도체 장치에 있어서, 산화막 마스크의 규격을 축소시켜 하부의 백금 전극 층을 건식 식각함으로써 초고집적 디펜 소자에서 요구되는 노드간 최단거리를 확보하는 반도체 제조 방법을 제공한다.

본 발명의 반도체 장치는 강유전체 캐패시터의 하부 전극으로 이용되는 백금 박막을 노드간 최단거리를 확보하면서 건식 식각 공정을 진행하게 하기 위해, 산화막 하드 마스크 패턴을 불산 수용액으로 습식 식각 처리함으로써 마스크 크기를 축소시키는 것을 구성상의 특징으로 한다.

이와 같이 본원 발명은 산화막 마스크의 크기를 습식 식각 처리 단계를 통하여 축소시킴으로써, 소액 노드간의 거리를 서브-하프-마이크론 수준으로 축소시키고 양호한 절연 특성과 낮은 누설 전류를 지니는 초고집적도의 강유전체 전하 저장 캐패시터의 제작이 가능하게 된다.

도면

도3b

도면

도면의 간단한 설명

제1도는 종래 기술에 따라 식각된 백금 전극 구조물을 나타낸 단면도.

제2도는 종래 기술에 따라 형성된 미세 포토레지스트 패턴을 나타낸 단면도.

제3a도 내지 제3c도는 본 발명에 따라 백금 전극 구조물을 제조하기 위한 방법을 나타낸 공정 순서도.

제4a도 및 제4b도는 각각 종래 기술 및 본 발명에 따라 형성된 백금 전극 구조물에 대한 SEM 사진.

제5도는 본 발명의 실시예에 따른 백금 전극 구조물의 측면 각도와 마스크 크기와의 관계를 나타낸 도면.

<도면의 주요 부분에 대한 부호의 설명>

10 : 절연막

11 : 폴리실리콘

12 : 티타늄 나이트라이드 장벽층

13 : 백금 전극

14 : 티타늄 집착층

- 14a : 습식 식각 후의 티타늄 집착층
- 14b : 습식 식각으로 식각되어 제거된 티타늄 집착층
- 15 : 산화막 마스크
- 15a : 습식 식각 후의 산화막 마스크
- 15b : 습식 식각으로 제거된 산화막 마스크

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 강유전체 캐패시터의 제조 방법에 관한 것으로, 특히 고집적도 디램 제조를 위하여 미세 피치 크기를 갖는 백금 전극을 식각 형성하기 위한 제조 방법에 관한 것이다.

반도체 집적화로 공정 기술이 발달함에 따라, 웨이퍼 상에 제조되는 소자의 최소 선폭 길이(minimum feature size)는 더욱 축소되고 단위 면적당 집적도는 증가하고 있다. 한편, 메모리 셀의 집적도가 증가함에 따라 데이터 저장 캐패시터가 가질 수 있는 면적은 더욱 좁아지게 되므로, 단위 면적당 캐패시턴스가 증대된 데이터 저장 캐패시터의 개발이 필수적이 된다. 일반적으로, 디램(DRAM) 공정에서 데이터 저장 캐패시터는 스택 구조(stacked structure) 또는 트렌치 구조(trench structure)로서 구현할 수 있는데, 본 발명은 스택 캐패시터 구조를 지닌 디램 셀의 제조 방법에 관한 발명이다.

스택형 캐패시터에 있어서 단위 면적당 캐패시턴스를 증대시키는 한 방법은 유전율이 높은 강유전체를 사용하는 것이다. 즉, 디램의 전하 저장용 캐패시터의 전극간 유전체로서  $\text{BaSrTiO}_3$ (BST),  $\text{BaTiO}_3$ ,  $\text{SrTiO}_3$ ,  $\text{PbZrTiO}_3$ (PZT) 등이 사용되고 있으며, 이들 강유전체의 유전율은 1000이상의 값을 갖는 것으로 알려져 있다.

그러나, 이와 같이 높은 유전상수를 지닌 강유전체 물질들은 폴리실리콘 전극 위에서 실리콘 산화막(silicon dioxide)을 형성하게 되므로, 폴리실리콘 전극 위에 직접 형성시킬 수 없는 문제점을 지니게 된다. 강유전체 막과 폴리실리콘 사이의 계면에 실리콘 산화막이 형성되면, 유전체 캐패시터가 병렬로 연결되는 효과를 발생하게 되고, 결국은 전하 저장 캐패시터의 캐패시턴스 값이 저하되는 결과를 초래하기 때문이다. 이와 같은 문제를 해결하기 위하여, 전하 저장 캐패시터의 하부 전극은 장벽 층(barrier layer)을 포함하는 스택구조를 채택하고 있으며, 탄탈륨(Ta) 또는 티타늄 니트라이드(titanium nitride, TiN) 등이 사용되고 있다.

한편, 상기 강유전체 캐패시터에 사용되는 BST 등의 강유전체들은 산소를 구성 성분으로 포함하며, 600~700°C의 비교적 고온에서 형성되므로 스택 캐패시터를 구성하는 하부 전극은 이러한 고온 환경에서 견딜 수 있고, 쉽게 산화되지 않는 백금(Pt), 팔라듐(Pd), 루시늄(ruthenium), 로듐(rhodium), 루시늄산화물(ruthenium oxide), 이리듐산화물(iridium oxide), 오스뮴산화물(osmium oxide), 및 로듐산화물(rhodium oxide) 등의 신물질이 사용되고 있다. 특히, 강유전체 캐패시터의 하부 전극으로는, 종래의 반도체 공정에서 흔히 사용되었던 알루미늄, 티타늄, 니크롬(nichrome) 및 구리(copper) 등은 고온(600°C)에서 쉽게 산화되기 때문에 사용될 수 없다.

##### 발명이 이루고자 하는 기술적 과제

그러나, 강유전체 캐패시터의 전극 재료로서 사용되는 백금 또는 이리듐 등의 신물질은 화학적 반응성이 거의 없이 물리적 스퍼터링(physical sputtering)에 의하여 진공도에서 건식 식각 단계에서 기존의 포토레지스트 마스크와의 식각 선택비 문제로 인하여 포토레지스트 대신에 하드마스크(hard mask)로서 산화막을 사용한 식각 공정이 개발되고 있다.

즉, 디램 캐패시터의 하부 전극으로 사용될 백금 박막의 건식 식각 공정 중의 일반적인 경향은 100°C 이하에서의 반응성 미온 식각 과정 중 휘발성 화합물(volatilized product)을 쉽게 형성하지 못하기 때문에, 식각률이 매우 낮으며 식각 시에 측벽(sidewall)에 식각 잔여물이 부수적으로 잔존하게 되어 노드간의 분리가 어렵게 된다.

제1도는 종래 기술에 따른 백금 식각 공정 진행 후의 구조물의 단면도이다. 산화막 마스크(15) 패턴에 따라서 산소와 브롬화수소(HBr)의 혼합 기체로서 2000 Å 두께의 백금 박막을 건식 식각하는 경우, 약 65°의 경사 측벽각을 얻고 있으며 75° 이상의 보다 급준한 경사 측벽각을 얻지 못하는 이유는 백금 박막이 산소 및 브롬화수소 기체와 화학적으로 반응하지 않기 때문이다. 이러한 한계 때문에, 피치 크기(P)가 작아지면 작아질수록, 스택 폴리실리콘 노드의 건식 식각에 의한 분리(S)가 불가능하게 된다.

한편, 라소그래피의 해상도 한계를 포토레지스트 마스크의 크기를 축소시킴으로써 극복하려는 기술이 미합중국 특허 제5,139,904호에 개시되어 있다. 미합중국 특허 제5,139,904호에 개시되어 있는 포토레지스트 마스크 축소 기술의 요지를 제2도에 도시하였다.

제2도를 참조하면, 미세 폴리실리콘 게이트(51)를 형성하기 위하여 게이트 패턴이 형성된 포토레지스트 마스크를 반응성 미온 에칭을 통하여 등방성 식각을 수행함으로써, 포토레지스트 게이트 패턴의 크기를 식각 전의 크기(52a)로부터 식각 후의 크기(52b)로 축소하는 기술을 개시하고 있다.

그러나, 미합중국 특허 제5,139,904호가 개시하고 있는 마스크 크기 축소 기술은 포토레지스트에 적용되는 기술이므로, 백금 전극과의 고선택 비가 요구되는 산화막 하드 마스크를 미세 패턴 형성함으로써, 미세 패치 크기에 대해 스택 노드간의 간격을 확보하기에는 어려움이 있다.

따라서, 본 발명의 제1 목적은 피치 간격이 미세한 패턴을 갖는 반도체 장치의 제조 방법을 제공하는데 있다.

본 발명의 제2 목적은 상기 제1 목적에 부가하여, 식각 공정 진행 후 측벽 경사각으로 인하여 패턴 형성된 노드간의 오버랩이 우려되는 반도체 장치의 미세 패턴 형성을 위한 제조 방법을 제공하는데 있다.

본 발명의 제3 목적은 상기 제1 목적에 부가하여 피치 간격이 미세한 강유전체 캐패시터의 전극을 형성하기 위한 제조 방법을 제공하는데 있다.

본 발명의 제4 목적은 상기 제1 목적에 부가하여 스택 노드간의 간격이 미세한 고집적 디램 제조 공정에 있어서, 스택 노드들을 건식 식각에 의해 분리가 가능하도록 하기 위한 강유전체 캐패시터의 하부 전극 형성 방법을 제공하는데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 반도체 기판 상에 디램 캐패시터를 제조하는 방법에 있어서, 상기 반도체 기판 상에 도전막을 형성하는 단계; 상기 도전막 상부에 접착층을 형성하는 단계; 상기 접착층 상부에 하드 마스크를 형성하는 단계; 상기 하드 마스크 상부에 포토레지스트를 도포하는 단계; 상기 포토레지스트에 소정의 미세 패턴을 형성하는 단계; 상기 포토레지스트에 형성된 미세 패턴에 따라 상기 하드 마스크를 식각하는 단계; 상기 미세 패턴 형성된 하드 마스크를 등방성 식각함으로써 상기 하드 마스크의 디멘션을 축소하는 단계; 상기 접착층을 디멘션이 축소된 상기 하드 마스크를 이용하여 식각하는 단계; 상기 축소된 하드 마스크와 상기 축소된 접착층을 식각 마스크로 하여 상기 백금 박막을 식각하는 단계; 상기 식각 마스크를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법을 제공한다.

이하, 본 발명에 따른 반도체 장치의 제조 방법을 첨부하는 도면을 참조하여 상세히 설명한다.

제3a도 내지 제3c도는 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 순서를 나타낸 순서도이다. 먼저 제3a도를 참조하면, 절연막(10) 내에 비트 라인과 연결될 도전성 폴리실리콘 플러그(11)가 형성되어 있으며, 그 상부에는 디램 캐패시터의 하부 전극(13)과 도전성 폴리실리콘 플러그(11) 사이의 상호 확산(inter diffusion)으로 인한 성능 저하를 예방하기 위한 장벽층으로 티타늄 나이트라이드층(12)이 약 300~500Å 두께로 형성되어 있다. 또한, 티타늄 나이트라이드층(12)의 상부에는 디램 캐패시터의 하부 전극(13)이 형성되어 있다.

본 발명에 따른 바람직한 실시예로서, 디램 캐패시터의 하부 전극(13)은 고온에서 산화되지 않는 금속이어야 하며, 백금(platinum), 이리듐(iridium), 로듐(rhodium), 팔라듐(palladium), 루시늄(ruthenium) 등과 같이 녹는점(melting point)이 높은 금속들을 사용할 수 있다. 또한, 하부 전극(13)의 또 다른 바람직한 실시예로서 도전성 산화물인 루시늄 산화물( $RuO_2$ ) 및 이리듐 산화물( $IrO_2$ ) 등을 사용할 수 있다.

백금 및 이리듐과 같은 금속 전극은 전극 패턴 형성을 위하여 진행되는 후속 건식 식각 공정 단계에서, 화학적 반응성이 없어 식각 메커니즘은 물리적 스터터링 방식에만 의존하게 된다. 그 결과, 포토레지스트와의 식각 선택비가 양호하지 않으므로 포토레지스트 대신에 식각 선택비가 양호한 하드 마스크(15)를 사용하게 된다. 본 발명에 따른 양호한 실시예로서, 실리콘 산화막( $SiO_2$ ) 또는 실리콘 질화막( $Si_3N_4$ ) 또는 이들의 적층 구조를 이용하여 디램 캐패시터 하부 전극(13) 패턴 형성을 위한 하드 마스크(15)를 형성할 수 있다.

한편, 디램 캐패시터의 하부 전극의 실시예로서 백금막(13)에 대한 하드 마스크(15)의 접착력을 향상시키기 위하여 접착층(14)을 하부 전극(13)과 하드 마스크(15) 사이에 형성할 수 있다.

본 발명에 따른 바람직한 실시예로서, 하부 전극(13)과 하드 마스크(15) 사이에 삽입되는 접착층(14)은 티타늄 또는 티타늄 화합물을 사용할 수 있다. 또한, 제3a도를 참조하면 하드 마스크(15) 상부에 미세 패턴 형성을 위한 포토레지스트막(16)이 도포되어 있다.

제3b도를 참조하면, 포토레지스트막(16)에 형성된 미세 패턴에 따라서 하드 마스크(15) 및 티타늄 접착층(14)을 아르곤 가스 및 염소 가스의 혼합 식각 가스로 반응성 이온 식각 챔버에서 건식 식각한다.

제3c도를 참조하면, 본 발명에 따른 바람직한 실시예로서, 하부 전극 패턴이 형성된 실리콘 산화막 하드 마스크층(15)을 등방성 식각 처리함으로써 하드 마스크의 패턴 폭을  $M$ 으로부터  $2M$ 만큼 축소된  $M/2$ 의 크기로 수평 길이를 축소시킬 수 있다.

본 발명에 따른 양호한 실시예로서, 실리콘 산화막 하드 마스크층(15)에 대한 등방성 식각 방법은 불산(HF) 수용액을 이용하여 상기 하드 마스크(15)의 수평 길이 및 수직 깊이를 축소할 수 있다. 본 발명에 따른 또 다른 양호한 실시예로서, 실리콘 산화막 하드 마스크층(15)은 반응성 이온 식각 방식으로 식각함으로써 마스크의 디멘션(dimension)을 축소할 수 있다. 제3c도를 참조하면, 도면 부호 15b는 등방성 식각에 의해 식각되어 제거된 부분을 나타내고 있으며, 수평 길이 및 수직 깊이가 축소된 하드 마스크는 도면 부호 15a로 도시되어 있다.

이어서, 축소된 하드 마스크(15a)를 마스크로 하여 티타늄 나이트라이드 장벽층(14) 및 백금막(13)을 건식 식각한다. 티타늄 나이트라이드 장벽층(14)은 아르곤 및 염소의 혼합 가스를 식각 가스로 하여 건식 식각할 수 있으며, 백금 전극층(13)은 산소 및 브롬화수소의 혼합 가스를 식각 가스로 하여 건식 식각할 수 있다.

이 때에, 산소의 혼합 가스를 식각 가스로 하여 상기 백금 전극층(13)을 건식 식각하는 단계에서 산소 가스의 혼합 비율을 50% 이상으로 혼합함으로써 산소 가스를 브롬화수소에 비해 더 풍부한 분위기에서 건식 식각을 진행할 수 있다. 본 발명에 따른 양호한 실시예로서, 상기 산소 가스의 혼합 비율을 80% 이상으로 할 수도 있다.

한편, 본 발명이 제공하는 하드 마스크 크기 축소 기술을 백금을 재료로 한 하부 전극 식각 공정에 적용하여 미세 피치 크기의 저장 노드를 생성하는 실험을 수행하였다. 제4a도는 종래 기술에 의한 산화막 마스크를 이용하여 백금 박막을 건식 식각한 경우에 생성된 패턴에 대한 단면 전자사진(SEM)을 보여주고 있으며, 제4b도는 본 발명의 마스크 크기 축소 조합 기술을 적용한 후 백금 박막을 건식 식각한 결과 얻어진 하부 전극 노드에 대한 단면 전자사진을 나타내고 있다.

제4a도에 나타나 있는 바와 같이, 종래 기술에 의한 단순 실리콘산화막 하드마스크를 사용하여 식각 공정을 수행하는 경우에는, 백금 박막을 산소 및 브롬화수소 혼합 가스로 250초 동안 건식 식각 공정을 진행하여도 단축 (ADI space = 150 nm)은 분리되지 않으나, 본 발명에서 개시하고 있는 불산 수용액으로 삼기 실리콘산화막을 습식 식각 처리한 산화막 마스크를 사용하여 백금 박막을 식각한 경우에는 동일시간 식각 공정을 진행할 때에 제4b도가 보여 주는 바와 같이 매우 선명하게 스텝 노드의 분리가 이루어졌음을 확인할 수 있다.

이러한 습식 식각 처리에 의한 마스크 크기의 축소로 백금을 포함하는 강유전체 캐패시터용 하부 전극 식각에 있어서, 습식 식각 처리량은 전극 식각 후의 측벽 각도, 소자의 최소 전극간 거리 및 전극 두께에 의해 결정되는데, 제5도에 도시한 마스크 크기(M), 피치 크기(p), 노드 간격(s), 전극 노드 두께(T), 측벽각도( $\theta$ ) 사이에는 다음의 관계식이 성립한다.

$$M = 2 \cdot \{ (p - s) / 2 - T \times \cot \theta \}$$

따라서, 캐패시터 전극의 피치가 0.3 $\mu$ m, 전극의 두께가 2000 Å, 전극 식각 후의 측벽 각도가 70°인 경우, 전극간 최소 거리를 100 nm 이상 유지하기 위해서는 543 Å의 마스크 크기를 형성시켜야 한다.

제5도는 건식 식각 후 형성된 백금 전극의 측벽 각도와 마스크 크기와의 관계를 나타내는 도표로서, 피치 크기가 3000 Å이고 노드 간격이 1000 Å인 백금 전극에 대해서 백금 전극의 두께가 각각 1500, 2000, 2500 Å인 경우를 도시하고 있다.

전술한 내용은 후술할 발명의 특허 청구 범위를 보다 잘 이해할 수 있도록 본 발명의 특징과 기술적 장점을 다소 폭넓게 개설했다. 본 발명의 특허 청구 범위를 구성하는 부가적인 특징과 장점들이 이하에서 상술될 것이다. 개시된 본 발명의 개념과 특정 실시예는 본 발명과 유사 목적을 수행하기 위한 다른 구조의 설계나 수정의 기본으로서 즉시 사용될 수 있음이 당해 기술 분야의 숙련된 사람들에 의해 인식되어야 한다.

또한, 본 발명에서 개시된 발명 개념과 실시예가 본 발명의 동일 목적을 수행하기 위하여 다른 구조로 수정하거나 설계하기 위한 기초로서 당해 기술 분야의 숙련된 사람들에 의해 사용되어질 수 있을 것이다. 또한, 당해 기술 분야의 숙련된 사람에 의한 그와 같은 수정 또는 변경된 등가 구조는 특허 청구 범위에서 기술한 발명의 사상이나 범위를 벗어나지 않는 한도 내에서 다양한 변화, 치환 및 변경이 가능하다.

#### 본 발명의 효과

이상과 같이 본 발명에 따른 반도체 장치는 종래의 강유전체 캐패시터 제조 공정에 있어서, 하부 전극으로 이용되는 백금 박막을 건식 식각 하는 단계에서 발생하는 문제점을 해결하기 위한 반도체 제조 방법으로서, 본 발명은 산화막 마스크 패턴을 불산(HF) 수용액으로 습식 식각 처리함으로써 마스크 크기를 축소시키고, 이 규격이 축소된 마스크를 이용하여 하부의 백금 전극 층을 건식 식각 함으로써 초고집적 디램 소자에서 요구되는 노드간의 최단거리를 확보하게 된다.

또한, 본 발명의 또 다른 효과는 산화막 마스크의 크기를 습식 식각 처리에 의해 축소시켜 상대적으로 스텝 노드간의 거리를 서브하프-마이크론 수준으로 축소시킴으로써, 화학적 및 열적 안정성이 우수하고, 양호한 절연 특성 및 낮은 누설 전류를 보이는 기가비트 급 메모리 소자를 위한 강유전체 캐패시터의 제작이 가능하게 된다.

따라서, 본 발명의 산화막 마스크 크기의 변경에 의한 백금-식각 방법을 이용하여 강유전체 캐패시터의 하부 전극을 형성하는 경우, 하부 전극과 평판 캐패시터 구조를 가지고 충분히 큰 캐패시턴스 밀도를 얻을 수 있으므로, 이러한 평판 강유전체 캐패시터의 사용은 메모리 셀 어레이(array)와 주변 회로 사이의 높은 모폴로지(morphology) 차이를 감소시키고 후 공정에서 실시되는 리소그래피 작업 수행 능력을 향상시키는 효과를 거두게 된다.

#### (5) 청구의 범위

##### 청구항 1

반도체 기판 상에 디램 캐패시터를 제조하는 방법에 있어서,

상기 반도체 기판 상에 도전막을 형성하는 단계;

상기 도전막 상부에 접착층을 형성하는 단계;

상기 접착층 상부에 하드 마스크를 형성하는 단계;

상기 하드 마스크 상부에 포토레지스트를 도포하는 단계;

상기 포토레지스트에 소정의 미세 패턴을 형성하는 단계;

상기 포토레지스트에 형성된 미세 패턴에 따라 상기 하드 마스크를 식각하는 단계;

상기 미세 패턴 형성된 하드 마스크를 등방성 식각함으로써 상기 하드 마스크의 디멘션을 축소하는 단계;

상기 접착층을 디멘션이 축소된 상기 하드 마스크를 이용하여 식각하는 단계;

상기 축소된 하드 마스크와 상기 축소된 접착층을 식각 마스크로 하여 상기 백금 박막을 식각하는 단계;  
상기 식각 마스크를 제거하는 단계  
를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 2

제1항에 있어서, 상기 반도체 기판 상에 도전막을 형성하는 단계는 백금, 로듐, 이리듐, 루티튬, 로듐 산화막, 이리듐 산화막, 루티튬 산화막 중 어느 하나 또는 다수의 복합층을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 3

제1항에 있어서, 상기 도전막 상부에 접착층을 형성하는 단계는 티타늄 및 티타늄 화합물 중 어느 하나를 사용하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 4

제1항에 있어서, 상기 하드 마스크를 형성하는 단계는 실리콘 산화막을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 5

제1항에 있어서, 상기 하드 마스크를 형성하는 단계는 실리콘 산화막을 포함하는 복합 절연막으로 구성됨을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 6

제1항에 있어서, 상기 미세 패턴 형성된 하드 마스크를 등방성 식각하는 단계는 반응성 이온 식각 방식으로 상기 하드 마스크의 디멘션을 축소하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 7

제1항에 있어서, 상기 미세 패턴 형성된 하드 마스크를 등방성 식각함으로써 하드 마스크의 디멘션을 축소하는 단계는, 상기 하드 마스크에 형성된 미세 패턴의 수평 길이를 축소하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 8

제1항에 있어서, 상기 미세 패턴 형성된 하드 마스크를 등방성 식각하는 단계는 불산 수용액을 이용하여 상기 실리콘 산화막 하드 마스크의 디멘션을 축소하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 9

제1항에 있어서, 상기 접착층을 디멘션이 축소된 하드 마스크를 이용하여 식각하는 단계는 아르곤과 염소가스를 이용하여 건식 식각하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 10

제1항에 있어서, 상기 반도체 기판 상에 형성된 도전막은 미세 패턴 형성을 위한 후속 건식 식각 단계에서 포토레지스트막과의 식각 선택비가 양호하지 않은 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 11

제1항에 있어서, 상기 하드 마스크를 이용하여 백금 박막을 식각하는 단계는 산소 혼합 식각 가스를 사용하여 건식 식각하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 12

제1항에 있어서, 상기 산소 식각 가스와 브롬화수소 식각 가스의 혼합 비율은 산소를 50% 이상으로 혼합하여, 산소 가스를 브롬화수소보다 상대적으로 더욱 풍부하도록 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 13

제1항에 있어서, 상기 산소( $O_2$ ) 식각 가스와 브롬화수소(HBr) 식각 가스의 혼합 비율은 산소를 80% 이상으로 혼합하여, 산소 가스를 브롬화수소보다 상대적으로 더욱 풍부하도록 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 청구항 14

제1항에 있어서, 상기 식각 마스크를 제거하는 단계는 상기 백금 박막의 식각 종말점까지 식각이 이루어진 후에도 소정의 시간 동안 추가로 과도 식각함으로써 제거하는 단계를 포함하는 반도체 장치의 제조 방법.

#### 청구항 15

제14항에 있어서, 상기 과도 식각 단계는 백금 박막의 식각 종말점까지의 식각 시간에 대하여 50~400%의 범위를 추가로 진행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 16**

미세 패턴을 갖는 반도체 장치의 제조 방법에 있어서,

반도체 기판 상에 제1 박막층을 형성하는 단계;

상기 제1 박막층에 대하여 건식 식각 단계에서 고선택 비를 갖는 제2 박막층을 상기 제1 박막층 상부에 형성하는 단계;

상기 제2 박막층을 소정의 미세 패턴에 따라 패턴 형성하는 단계;

상기 제2 박막층에 형성된 미세 패턴의 디멘션을 축소하는 단계;

상기 디멘션이 축소된 제2 박막층의 미세 패턴을 마스크로 하여 상기 제1 박막층을 식각하여 패턴 형성하는 단계;

상기 제1 박막층을 제거하는 단계

를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 17**

제16항에 있어서, 상기 제1 박막층 상부에 상기 제2 박막층을 형성하는 단계는, 상기 제1 박막층 상부에 집착층을 형성하고 상기 집착층 상부에 제2 박막층을 형성하는 것을 포함하는 반도체 장치의 제조 방법.

**청구항 18**

제16항에 있어서, 상기 제2 박막층에 형성된 미세 패턴의 디멘션을 축소하는 단계는 등방성 식각 방식을 사용하여 상기 미세 패턴의 수평 길이를 축소하는 단계를 포함하는 반도체 장치의 제조 방법.

**청구항 19**

제18항에 있어서, 상기 등방성 식각 방식을 이용하여 상기 미세 패턴의 수평 길이를 축소하는 단계는 건식 식각 또는 습식 식각 방식중 어느 하나를 사용하는 것을 포함하는 반도체 장치의 제조 방법.

**청구항 20**

제16항에 있어서, 상기 제1 박막층에 대하여 건식 식각 단계에서 제2 박막층이 갖는 식각 선택비는 2 : 1 이상인 것을 특징으로 하는 반도체 장치의 제조 방법.

**도면**

図1

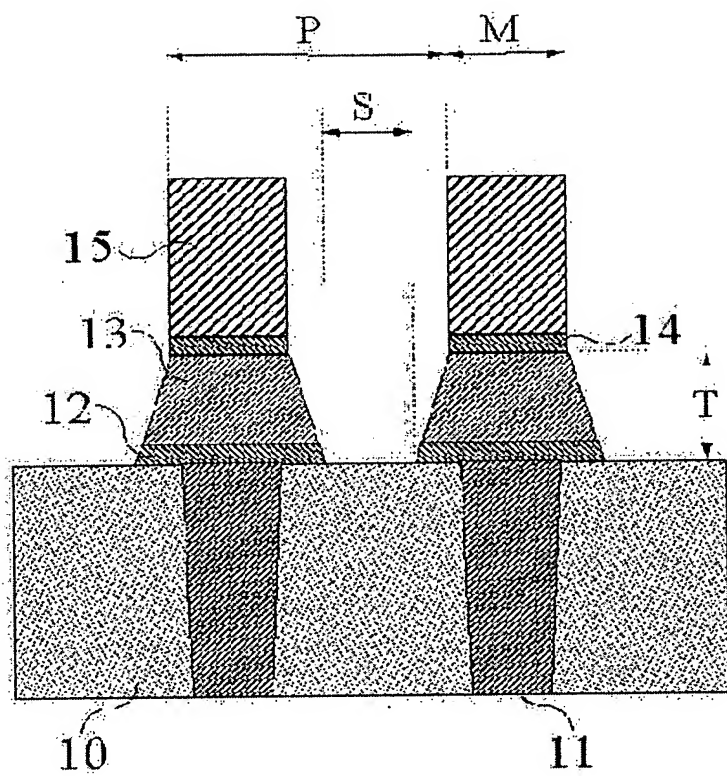
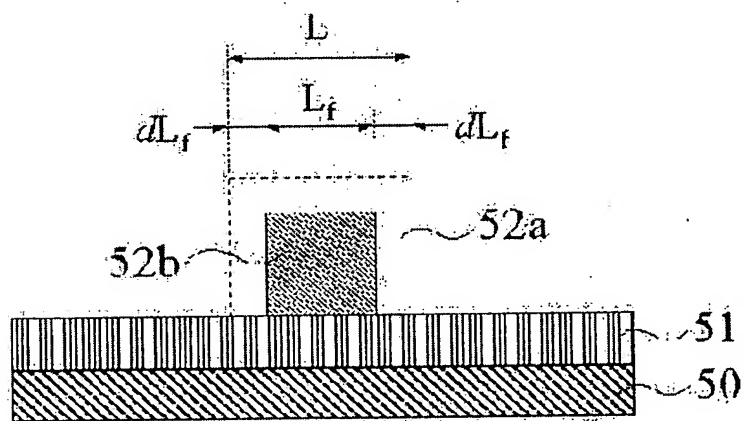
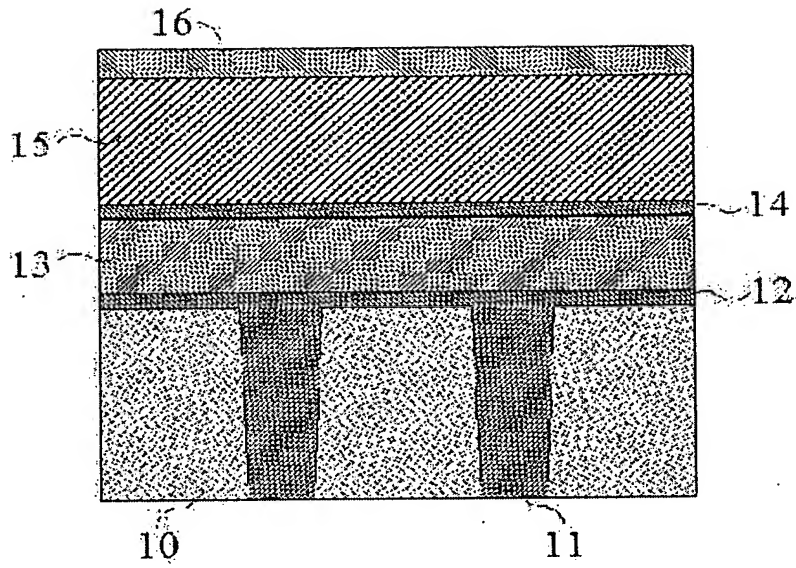


図2

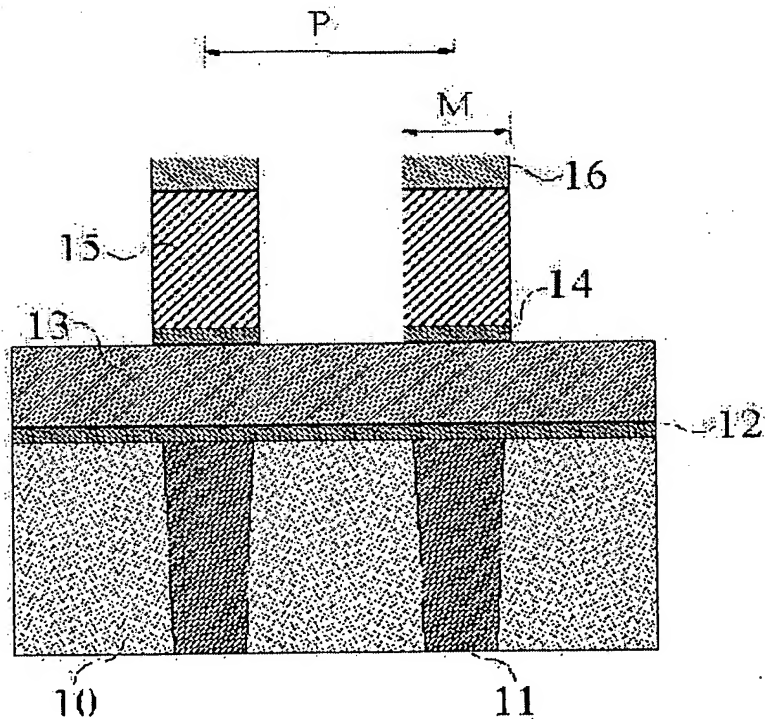




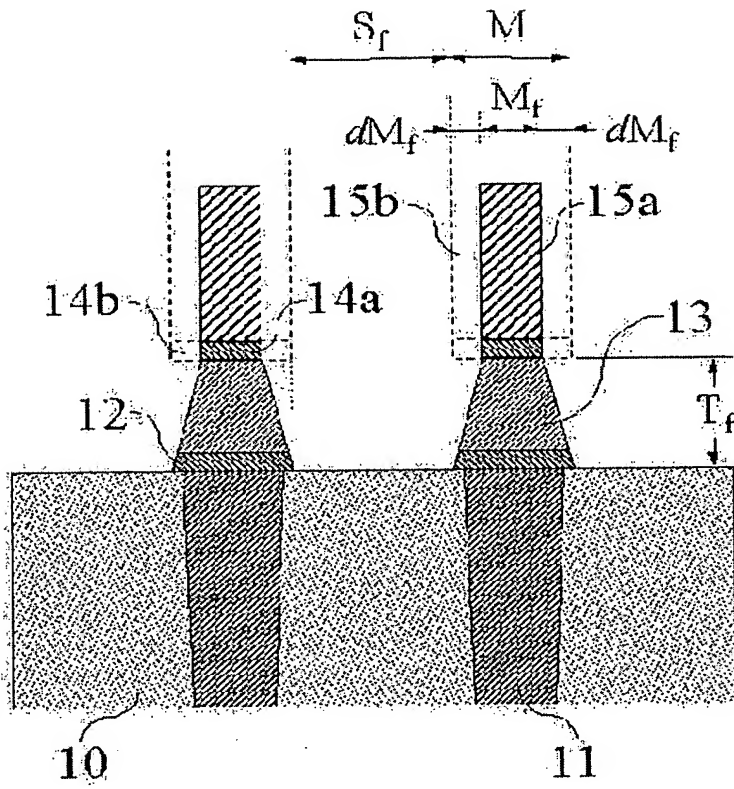
도 3a



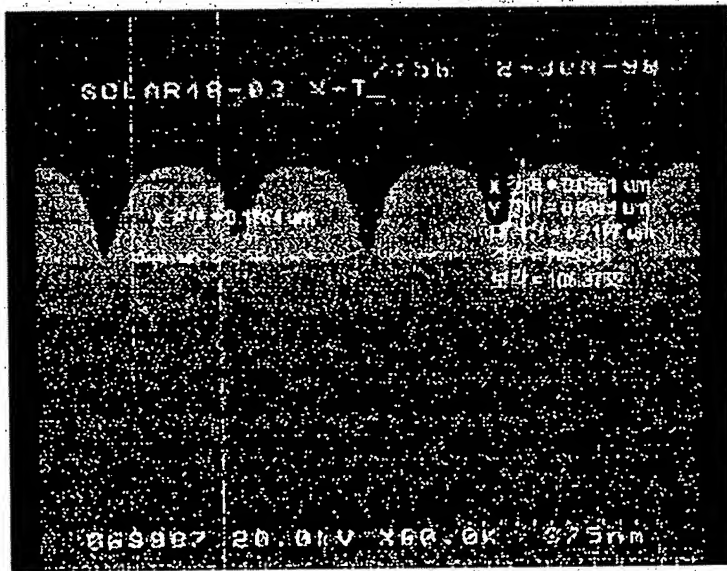
도 3b



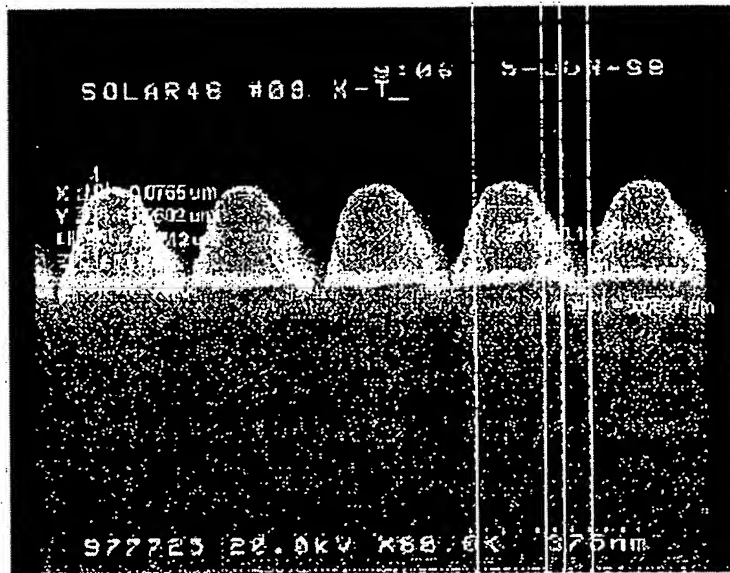
도 3b



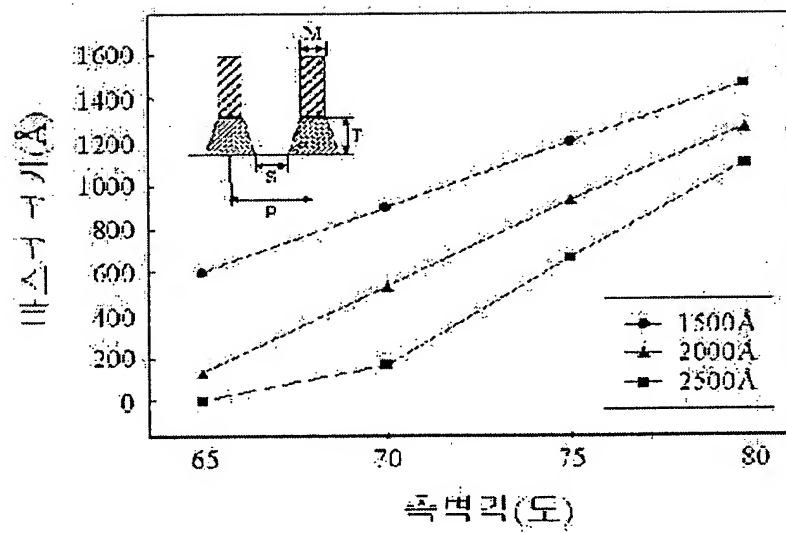
도 3b



도 4b



도 5



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**